

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-139471

(43)Date of publication of application : 27.05.1997

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01R 31/26
G01R 31/28
H01L 21/60
H01L 21/66
H01L 21/3205
H01L 21/321

(21)Application number : 08-239767

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 22.08.1996

(72)Inventor : ATUL GOER
YO WAN CHEN
JOHN R SPENCER

(30)Priority

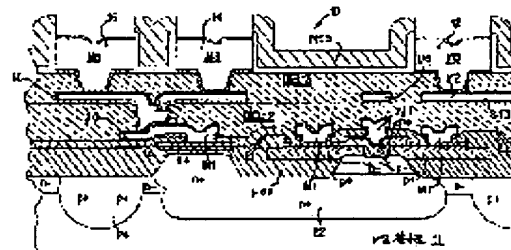
Priority number : 95 524598 Priority date : 07.09.1995 Priority country : US

(54) ON-CIRCUIT ARRAY PROBING AUXILIARY PAD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an IC chip which can be tested before bump bonding, without damaging bounding pads by test pins, by providing auxiliary test pads electrically connected to the bonding pads.

SOLUTION: An integrated circuit device has an integrated circuit, input/output contact region, two or more metallized layers M1 and M2 and two or more bonding pads 12 and 14 electrically connected to the contact region. It has two or more test pads 16 which are formed on specified position of the top face of the integrated circuit on the upper layer M1 or M2, electrically connected to one of the pads 12 and 14, and disposed not so as to locate on those circuit elements or metallized interconnection which will be broken when the test pins are contacted with pressure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-139471

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	E
			G 0 1 R 31/26	G
G 0 1 R 31/26			H 0 1 L 21/60	3 0 1 N
			21/66	B
H 0 1 L 21/60	3 0 1			E

審査請求 未請求 請求項の数 3 F D 外国語出願 (全 23 頁) 最終頁に続く

(21) 出願番号 特願平8-239767

(22) 出願日 平成8年(1996)8月22日

(31) 優先権主張番号 5 2 4, 5 9 8

(32) 優先日 1995年9月7日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000400

ヒューレット・パカード・カンパニー
アメリカ合衆国カリフォルニア州バロアル
ト ハノーバー・ストリート 3000

(72) 発明者 アトウル・ゴエル

アメリカ合衆国コロラド州フォートコリン
ズ、ヒルサイド・ドライブ 1623

(72) 発明者 ヨーワン・チェン

アメリカ合衆国コロラド州フォートコリン
ズ、サンプター・スクウェア 4120

(72) 発明者 ジョン・アール・スペンサー

アメリカ合衆国コロラド州ラブランド、フ
ァーストビュー・ドライブ 2331

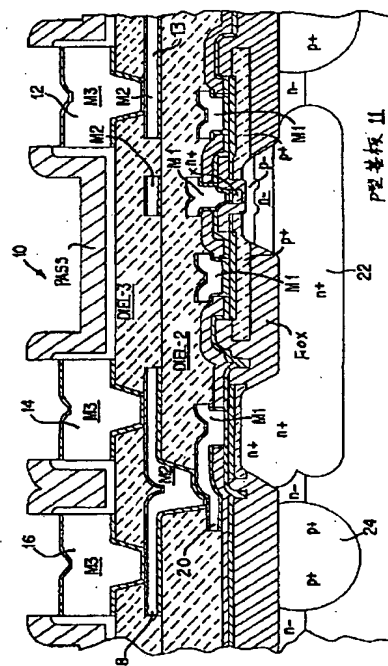
(74) 代理人 弁理士 上野 英夫

(54) 【発明の名称】 オンサーキット・アレイ・ブローピング用の補助パッド

(57) 【要約】 (修正有)

【課題】 ボンディング・パッドがテスト・ピンによって著しく破壊されることなく、バンプ・ボンディングの前にテストすることができる、チップの表面上にボンディング・パッドを有する IC チップの提供。

【解決手段】 チップの表面上に入出力ボンディング・パッド 1 2, 1 4, 4 2 を有する集積回路デバイス 1 0, 4 0 が提供される。これらパッドは下地の回路を破壊することなく、バンプ・ボンディング形成の前に機能テストまたはその他の必要なテストを実施するために、補助テスト・パッド 1 6, 4 4 を介して電気的にアクセスできる。



【特許請求の範囲】

【請求項1】集積回路デバイスにおいて、

第1の表面と第2の表面とを有し、その第1の表面に形成される複数の回路素子を有する集積回路本体と、前記集積回路本体の前記第1の表面上の前記複数の回路素子のそれぞれの上に形成され、前記複数の回路素子間の電気接触を可能にし、前記集積回路デバイスの外部に電気デバイスを有する2つ以上の入出力接触領域と、前記複数の回路素子が電気的に接続されて所定の回路を形成するように、前記2つ以上の入出力接触領域と接触しかつ前記複数の回路素子の間および中にメタライゼーションのネットワークを形成する前記集積回路本体の前記第1の表面上に形成され、2層以上の誘電体材料の層によって互いに絶縁された2層以上のメタライゼーションの層と、それぞれそれに電気的に接続される対応する各回路素子の近傍に配置されるように、前記2層以上のメタライゼーションの層の上側層の、前記集積回路本体の上面の所定の位置に形成され、それぞれ前記各回路素子の前記2つ以上の入出力接触領域と電気的に接触する2つ以上のボンディング・パッドと、前記2層以上のメタライゼーションの層の上側層上の、前記集積回路本体の上面の所定の位置に形成され、それぞれ前記2つ以上のボンディング・パッドのうちの1つと電気的に接触する2つ以上のテスト・パッドであって、それぞれテスト・ピンを前記2つ以上のテストと圧力接触させた場合に破壊される任意の回路素子またはメタライゼーション配線の上になく配置された2つ以上のテスト・パッドとを含む集積回路デバイス。

【請求項2】集積回路デバイスにおいて、

第1の表面と第2の表面とを有し、その第1の表面に形成される複数の回路素子を有する集積回路本体と、前記集積回路本体の前記第1の表面上の前記複数の回路素子のそれぞれの上に形成され、前記複数の回路素子間の電気接触を可能にし、前記集積回路デバイスの外部に電気デバイスを有する2つ以上の入出力接触領域と、前記複数の回路素子が電気的に接続されて所定の回路を形成するように、前記2つ以上の入出力接触領域と接触しかつ前記複数の回路素子の間および中にメタライゼーションのネットワークを形成する前記集積回路本体の前記第1の表面上に形成され、5層あるいはもっと多くの誘電体材料の層によって互いに絶縁された5層あるいはもっと多くのメタライゼーションの層と、それぞれそれに電気的に接続される対応する各回路素子の近傍に配置されるように、前記5つ以上のメタライゼーションの層の上側層の、前記集積回路本体の上面の所定の位置に形成され、それぞれ前記各回路素子の前記2つ以上の入出力接触領域と電気的に接触する2つ以上のボンディング・パッドと、前記5層あるいはもっと多くのメタライゼーションの層

の上側層上の、前記集積回路本体の上面の所定の位置に形成され、それぞれ前記2つ以上のボンディング・パッドのうちの1つと電気的に接触する2つ以上のテスト・パッドとを含む集積回路デバイス。

【請求項3】バンプ・ボンディングの前に集積回路デバイスのテストを実施する方法において、

(a) その第1の表面に形成される複数の回路素子を有する半導体基板を提供するステップと、

(b) 前記半導体基板の前記第1の表面上の前記複数の回路素子のそれぞれの上に形成され、前記複数の回路素子間の電気接触を可能にし、前記集積回路デバイスの外部に電気デバイスを有する2つ以上の入出力接触領域を提供するステップと、

(c) 前記複数の回路素子が電気的に接続されて所定の回路を形成するように、前記2つ以上の入出力接触領域と接触しかつ前記複数の回路素子の間および中にメタライゼーションのネットワークを形成する前記集積回路基板の前記第1の表面上に形成され、2層以上の誘電体材料の層によって互いに絶縁された2層以上のメタライゼーションの層を提供するステップと、

(d) それぞれそれに電気的に接続される対応する各回路素子の近傍に配置されるように、前記2層以上のメタライゼーションの層の上側層の、前記集積回路基板の上面の所定の位置に形成され、それぞれ前記各回路素子の前記2つ以上の入出力接触領域と電気的に接触する2つ以上のボンディング・パッドを提供するステップと、

(e) 前記2層以上のメタライゼーションの層の上側層上の、前記集積回路基板の上面の所定の位置に形成され、それぞれ前記2つ以上のボンディング・パッドのうちの1つと電気的に接触する2つ以上のテスト・パッドであって、テスト・ピンを前記2つ以上のテスト・パッドと圧力接触させた場合に、前記2つ以上のテスト・パッドの下にある前記複数の回路素子がいずれも破壊されず、前記2つ以上のボンディング・パッドがいずれも破壊されないテスト・パッドを提供するステップと、

(f) テスト・ピンを前記2つ以上のテスト・パッドと圧力接触させるステップと、

(g) 前記テスト・ピンが前記2つ以上のテスト・パッドと接触している間に、前記集積回路デバイスに欠陥があるかを確かめるために前記所定のテストを実施するステップとを含む方法。

【発明の詳細な説明】

【0001】

【発明の分野】本発明は一般に集積回路デバイスの分野に関し、さらに具体的には集積回路チップのオンサーキット・テストに関する。

【0002】

【発明の背景】単一の集積回路チップ上に配置されるトランジスタおよび回路の数がますます多くなるにつれて、集積回路メーカーでは、単に入出力ボンディング・パ

ッド用にチップの外周を利用するのではなく、入出力ボンディング・パッドをチップの中央に移動する必要があることが分かった。このような状況が生じたのは、高密度集積回路のすべてのボンディング・パッドに十分な周辺の領域がないためである。また、ボンディング・パッドを周辺へ引き回したとすれば、500～1000個またはもっと多くのボンディング・パッドを周辺へ引き回すことによって貴重なシリコン面積が無駄になることを言わなくとも、遅延および配線抵抗の問題が生じる。周辺ボンディング・パッドを有するチップのレイアウトは一般に、特に、遅延の発生が最小となるようにできるだけ周辺の近傍に配置する必要のあるクロックなど、重要遅延回路素子によって駆動される。

【0003】現在数百個以上の入出力を有する代表的な集積回路チップは一般に、チップの表面上にボンディング・パッドを有する。フリップ・チップは一般に、チップの表面上にボンディング・パッドを有する。ボンディング・パッドは一般に対応する入出力回路素子上またはそれに極めて近い所に配置されるので、チップの表面上のボンディング・パッドでは、配線遅延、抵抗および雑音の発生が最小となるまたはなくなる。

【0004】集積回路（IC）がますます複雑になるにつれて、テストもより複雑になる。一般に、ICはダイ・レベル、パッケージ・レベルおよびボード・レベルにおいてテストされる。半導体製造プロセス中、不必要な（かつ費用のかかる）製造ステップを防ぐために、できるだけ早く欠陥のある集積回路を検出することが有利である。したがって、通常チップがまだウエハの形をしている間のダイ・レベルでのテストは、製造コストの展望から非常に重要である。しかしながら、テスト・アクセスは一般にボンディング・パッドと物理的にかつ電気的に接触させるテスト・プローブを介して得られるので、チップの表面上にボンディング・パッドを有するICについてダイ・レベル・テストの問題が生じる。

【0005】一般にICチップの表面上のボンディング・パッドに関して生じるテスト問題の中には、テスト・ピンがボンディング・パッドを破壊し、その結果ボンディング・パッド上にバンパ・ボンドが十分に形成されないこと、またはボンディング・パッドに接触するテスト・ピンの圧力により下地の回路が破壊されることがある。多くのICメーカは、チップ上にバンパ・ボンドを形成した後でダイ・レベル・テストを実施し、バンパ・ボンドをテスト・ピンに接触させ、そこから圧力を吸収することによってこれらの問題を処理している。次いで、バンパ・ボンドと圧力接触するテスト・ピンによる損傷を修復するために、バンパ・ボンドをリフローする。しかしながら、これは、チップがバンパすべき500～1000個あるいはもっと多くのボンディング・パッドを有する場合、バンパ・ボンディングのステップに費用がかかるので、比較的費用のかかる解決策である。

さらに、それぞれ500～1000個あるいはもっと多くのボンディング・パッドを有する相当な数の不良チップ上にバンパ・ボンディングを実施した場合、製造資源が無駄になる。この方法ではまた、テスト・ピンによって生じる損傷を修復するためにバンパ・ボンドをリフローする追加の製造ステップが加わる。

【0006】ICメーカが上記の問題を処理するのに使用してきた他の解決策は、後でバンパ・ボンドをその上に形成する必要のない専用テスト・パッドをオンチップ・テスト回路に備えること、または数個のパッドをチップ上の特定の領域（周辺の場合が多い）へ引き回すことである。これらのテストは一般にごく最小限のテストなので、これも満足な解決策ではない。ウエハ・レベルでのダイからパッケージ化されたチップへ進む費用を正当化するために、メーカは理想的には、チップが十分に機能しているかどうかについて知りたいであろう。

【0007】したがって、ボンディング・パッドまたはボンディング・パッドの下の回路が著しく破壊されことなく、バンパ・ボンディングの前に欠陥についてテストすることができるICチップを提供することによって上記の問題を解決することが望ましい。

【0008】

【発明の概要】本発明の様態は、ボンディング・パッドがテスト・ピンによって著しく破壊されことなく、バンパ・ボンディングの前にテストすることができる、チップの表面上にボンディング・パッドを有するICチップを提供することである。

【0009】本発明の他の様態は、ボンディング・パッドの下回路がボンディング・パッドに接触するテスト・ピンの圧力によって著しく破壊されことなく、バンパ・ボンディングの前にテストすることができる、チップの表面上にボンディング・パッドを有するICチップを提供することである。

【0010】本発明の上記その他の様態は、チップを十分にテストするためにアクセスする必要のある任意のボンディング・パッドがそれに電気的に接続された補助テスト・パッドを有する、チップの表面上のボンディング・パッドを有する集積回路チップにより達成される。

【0011】

【好適な実施例の詳細な説明】図1は、本発明の第1の実施形態による集積回路デバイスの部分断面図である。図1は、3層のメタライゼーションの層M1、M2およびM3を有する集積回路デバイスである。ボンディング・パッド14は、第2のレベルメタライゼーション18および第1のレベルメタライゼーション20を介してトランジスタ22のコレクタに接続される。ボンディング・パッド14はできるだけトランジスタ22のコレクタに物理的に近い所に配置することが有利であるが、本発明者は、テスト・ピンはボンディング・パッドがその後バンパ・ボンドによる結合を維持することができない程

度までボンディング・パッドを破壊する傾向があることが分かっているので、ボンディング・パッド14をテスト目的に使用するのとは有利ではない。さらに、本発明者は、3層またはもっと少ないメタライゼーション層を有する集積回路デバイスでは、いくつかの回路素子（例えば、薄いゲート酸化物および薄いメタライゼーション配線）の上でテストを実施した結果生じる圧力により下地の回路が破壊される傾向がある（例えば、ショート）ことも分かっている。したがって、本発明者は、どの重要回路素子の上にもないテスト・パッド16へコレクタ接続部を引き出せばこの問題が解決されることを発見した。

【0012】具体的には、テスト・パッド16とボンディング・パッド14は、どちらのパッドもトランジスタ22のコレクタに電氣的に接続されるので電氣的に等価である。しかしながら、テスト・パッド16は、テスト・パッド16と接触するテスト・ピンの下向きの力によって破壊される危険性が実質上ない絶縁領域24上にある。したがって、回路入出力素子と対応するボンディング・パッドの間の遅延、抵抗および雑音ができるだけ小さくなるように、集積回路デバイス10の表面上へボンディング・パッドを布線することができる。また同時に、機能上テストする必要があるどの回路入出力素子も、それに接続され、テスト・ピンがテスト・パッドに接触することによって生じる圧力により破壊される危険性のあるどの回路素子の上にもない集積回路デバイスの表面上の位置へ布線される補助テスト・パッドを有することができる。

【0013】これは、(1)下地の回路がテスト・ピンの下向きの力によって破壊されるのを防ぐ、(2)ボンディング・パッドがテスト・ピンによって破壊されるのを防ぐ、(3)配線遅延、抵抗および雑音が最小となるようにボンディング・パッドをできるだけ対応する回路素子の近傍に配置する、という3重の利点を有する。また、500〜1000個あるいはもっと多くのボンディング・パッドは、チップの表面上のそれらのそれぞれの位置からチップの周辺へ引き回す必要がないので、メタライゼーションの引き回しが簡単になる。また、テスト・パッド16はボンディング・パッド14の近傍に示されているが、このようにする必要はなく、ボンディング・パッド14のまわりの領域が他のボンディング・パッドまたはテスト・パッドによって混雑している場合、またはこの下地の領域が、テスト・パッドと接触するテスト・ピンの圧力によって破壊される危険性の高い回路素子でいっぱいになっている場合、テスト・パッド16を別の位置へ引き回すことができることに注意しなければならない。テスト・パッド16は、チップの表面上のほぼ任意の位置へ引き回すことができ、周辺位置へさえも引き回すことができる。テスト・パッド16はテスト用であり、またテスト・パッド16は回路性能にとって重

要ではないので、ボンディング・パッド14をできるだけ対応する回路素子（トランジスタ22のコレクタ）の近傍に配置するのと同様に、テスト・パッド16を対応する回路素子の近傍に配置することは重要ではない。

【0014】また、ボンディング・パッド12は、別の回路素子（図示せず）用のボンディング・パッドに使用されることにも注意しなければならない。パッド12は、トランジスタ22のベースの上にあるのでテスト・パッドに使用される公算は低いであろう。ダイ・レベル・テスト中にボンディング・パッド12がそれに対応する回路素子をテストする場合、ダイ・レベル・テスト中にテスト・パッドにかかるテスト・ピンの圧力によって破壊される危険性のあるどの回路素子の上にもないように、補助テスト・パッド（図示せず）を集積回路チップの表面上の領域へ引き回す。

【0015】また、図1は、第2のメタライゼーション層18の所で行うテスト・パッド16への引き出しを示すが、それは第1のメタライゼーション層20の所で行ってもよい。これは引き回しおよびレイアウト設計の選択の問題である。

【0016】図2は、本発明の第2の実施形態による集積回路デバイスの一部分の断面破断図である。図2は、5層のメタライゼーションの層M1、M2、M3、M4およびM5を有する集積回路デバイスである。ボンディング・パッド42は、第4のレベルメタライゼーション50、第3のメタライゼーション54、第2のメタライゼーション58、第1のレベルメタライゼーション62を介してトランジスタ64のコレクタに接続される。ボンディング・パッド42は、できるだけ対応する回路素子（トランジスタ64のコレクタ）の近傍に布線するのが有利であるが、ボンディング・パッドにかかるテスト・ピンの圧力は、ボンディング・パッドがその後十分なバンプ・ボンドを形成することができない程度までボンディング・パッドを破壊する傾向があるので、ボンディング・パッド42をテスト・パッドとして使用するのとは有利ではない。

【0017】したがって、本発明者は、補助テスト・パッド44をボンディング・パッド42または対応する回路素子（トランジスタ64のコレクタ）に電氣的に接続すれば上記の問題が解決されることを発見した。本発明者はさらに、5層あるいはもっと多くのメタライゼーションの層を有する集積回路デバイスでは、下地の回路素子が一般にテスト・パッド44と接触するテスト・ピンの圧力によって破壊されないで、どのクリティカルな素子の上にもないチップの領域へ補助テスト・パッド44を引き回す必要がないことを発見した。この現象は、誘電体層（DIELE-1、DIELE-2、DIELE-3、DIELE-4およびDIELE-5）が硬いこととメタライゼーションの層（M1、M2、M3、M4およびM5）が相対的に軟らかいことが、テスト・パッドと接触

するテスト・ピンの圧力に対してサンドウィッチ型の緩衝装置として働くためであると考えられる。したがって、テスト・パッド44の配置は、特定の下地の回路素子を回避する試みによってではなく、引き回し／レイアウト設計の選択によって決定される。

【0018】ボンディング・パッド42およびテスト・パッド44はランダムに番号付けしてあり、したがって、42をテスト・パッドとして選択することができる。これは、テスト・パッドがトランジスタ64のコレクタ領域のすぐ上にくることを意味する。引き回し／レイアウトの際、対応する回路素子に物理的に近い方の位置をボンディング・パッドとして選択する公算が最も高い。とはいえ、この選択を変更できるいくつかの引き回し／レイアウトの考慮事項がある。例えば、図には示されていないが、テスト・パッドと接触するテスト・ピンの形状および誤差を補償するために、ボンディング・パッドをテスト・パッドのサイズの約1/2にする。また、ショートを防ぐために、ボンディング・パッドをレイアウト内の他のいくつかの素子にどのくらい近づけられるかに関する引き回し／レイアウトのルールがある。ただし、パッド42またはパッド44をボンディング・パッドとして選択するかテスト・パッドとして選択するかに関わらず、すべてのボンディング・パッドをそれらの対応する回路素子にできるだけ近づけた場合以外は、テスト・パッドの位置が下地の回路素子に依存しないことに留意されたい。

【0019】また、テスト・パッド44は、それに適合するように引き回された第4のメタライゼーション層によってボンディング・パッド42およびトランジスタ64のコレクタに接続されているが、補助テスト・パッド44をそれに適合するように引き回された第3のメタライゼーション層、第2のメタライゼーション層または第1のメタライゼーション層によって接続することもできることに留意されたい。これは引き回し／レイアウト設計の選択である。

【0020】パッド46およびパッド48は、第4のメタライゼーション層52、第3のメタライゼーション層56、第2のメタライゼーション層60および第1のメタライゼーション層50（図示せず）によって別の回路入出力素子（図示せず）に接続される。パッド46とパッド48のうち対応する回路素子（図示せず）により近いと考えられる方がボンディング・パッドになる公算が最も高く、他方がテスト・パッドになる公算が高い。ただし、どちらのパッドもトランジスタ64のベース領域およびエミッタ領域の上にあることに注意すべきである。さらに、5層の誘電体層（DIE1、DIE2、DIE3、DIE4およびDIE5）および5層のメタライゼーションの層（M1、M2、M3、M4およびM5）はテスト・パッドと接触するテスト・ピンの圧力に対してサンドウィッチ型の緩衝

装置として働くので、パッド46とパッド48のどちらがテスト・パッドであるかは重要ではない。誘電体層は、二酸化ケイ素、窒化ケイ素など任意の周知の誘電材料になり得る5層の金属被膜の層で、銅、アルミニウム、チタンなど、任意の周知の誘電材料、または任意の周知のメタライゼーション材料のサンドウィッチ型の組合せが可能である。

【0021】また、図2には対応するボンディング・パッドの近傍にテスト・パッドが示されているが、このようにする必要はない。一般に、配線遅延、抵抗および雑音などが最小となるように、特定のボンディング・パッドをテスト目的で引き回し／レイアウトのルールと同程度に対応する回路素子に近づける必要があるが、これらは一般に発生しない。したがって、テスト・パッドは、集積回路デバイス全体の引き回し／レイアウトにとって好都合などんな位置にでも布線される公算が高い。テスト・パッドはチップの周辺にも引き回すことができる。

【0022】したがって、ボンディング・パッド自体かまたは下地の回路素子が破壊されることなく、パンプ・ボンディングの前にダイ／ウエハ・レベル・テストが行える補助テスト・パッドを有する集積回路デバイス用の2つの実施形態を示した。第1の実施形態は、4層以下のメタライゼーション層を有する集積回路デバイス用である。第1の実施形態は、確かに4層よりも多くのメタライゼーション層に使用することもできるが、すべてのテスト・パッドをチップの「安全」領域へ布線するのは、4層よりも多くのメタライゼーション層を必要とするような複雑なデバイスでは実現不可能であろう。第2の実施形態は、5層以上のメタライゼーション層を有する集積回路デバイス用である。この実施形態では、メタライゼーション層および誘電体層が、テスト・パッドと接触するテスト・ピンの圧力に対して緩衝装置として働き、したがってテスト・パッドをチップの「安全」領域へ引き回すことは不必要となる。

【0023】上記の本発明についての記述は、例示および説明のために提示したものであり排他的なものでも本発明を開示の正確な形態に限定するものでもなく、上記の教示に照らして他の修正および変更が可能である。例えば、先に記述したように、テスト・パッドは必ずしもボンディング・パッドの近傍にある必要はなく、引き回し／レイアウト設計の選択が好都合である場合、集積回路チップ上のある位置に引き回すことができる。実施形態は、本発明の原理およびその実際的な応用を最もよく説明するために選択し記載した。したがって当業者は、考えられる特定の用途に適する様々な実施形態および様々な修正形態で本発明を最もよく利用することができる。添付の請求の範囲は、従来技術によって制限される場合を除いて、本発明の他の代替実施形態を含むように解されることを意図している。

【図面の簡単な説明】

(7)

特開平 9 - 1 3 9 4 7 1

21/3205
21/321

21/92
27/04

6 0 4 T
T

【外国語明細書】

1. Title of Invention

ANCILLARY PADS FOR ON-CIRCUIT ARRAY PROBING

2. Claims

1. An integrated circuit device comprising:

a integrated circuit main body, said integrated circuit main body having a first surface and a second surface, said integrated circuit main body having a multitude of circuit elements formed in a first surface thereof;

more than one I/O contact area formed on various of said multitude of circuit elements on said first surface of said integrated circuit main body, said more than one I/O contact area permitting electrical contact between said multitude of circuit elements and with electrical devices external to said integrated circuit device;

more than one layer of metalization, said more than one layer of metalization being formed on said first surface of said integrated circuit main body in contact with various of said more than one I/O contact areas and forming a network of metalization between and among said multitude of circuit elements, such that said multitude of circuit elements are electrically connected to form a predetermined circuit, said more than one layer of metalization being insulated from each other by more than one layer of dielectric material;

more than one bonding pad formed on an upper layer of said more than one layer of metalization at predetermined locations across a top surface

ce of said integrated circuit main body, each of said more than one bonding pads being in electrical connection with one or said more than one I/O contact areas of said various circuit elements, such that each of said more than one bonding pad is in close proximity to the corresponding circuit element that it is electrically connected to; and

more than one test pad formed on said upper layer of said more than one layer of metalization at predetermined locations across a top surface of said integrated circuit main body, each of said more than one test pads being in electrical contact with one of said more than one bonding pads, such that each of said more than one test pads is positioned in such a manner as to not layover any circuit element or metalization line that can be damaged when test pins are brought into pressure contact with each of said more than one test.

2. An integrated circuit device comprising:

a integrated circuit main body, said integrated circuit main body having a first surface and a second surface, said integrated circuit main body having a multitude of circuit elements formed in a first surface thereof;

more than one I/O contact area formed on various of said multitude of circuit elements on said first surface of said integrated circuit main body, said more than one I/O contact area permitting electrical contact between said multitude of circuit elements and with electrical devices external to said integrated circuit device;

five or more layers of metalization, said five or more layers of metalization being formed on said first surface of said integrated circuit main body in contact with various of said more than one I/O contact areas and forming a network of metalization between and among said multitude of circuit elements, such that said multitude of circuit elements are

electrically connected to form a predetermined circuit, said five or more layers of metalization being insulated from each other by five or more layers of dielectric material:

more than one bonding pad formed on an upper layer of said five or more layers of metalization at predetermined locations across a top surface of said integrated circuit main body, each of said more than one bonding pads being in electrical connection with one or said more than one I/O contact areas of said various circuit elements, such that each of said more than one bonding pads is in close proximity to the corresponding circuit element that it is electrically connected to; and

more than one test pad formed on said upper layer of said five or more layers of metalization at predetermined locations across a top surface of said integrated circuit main body, each of said more than one test pads being in electrical contact with one of said more than one bonding pads.

3. A method of performing testing of an integrated circuit device prior to bump bonding, said method comprising the steps of:

(a) providing a semiconductor substrate having a plurality of circuit elements formed in a first thereof;

(b) providing more than one I/O contact area formed on various of said multitude of circuit elements on said first surface of said semiconductor substrate, said more than one I/O contact area permitting electrical contact between said multitude of circuit elements and with electrical devices external to said integrated circuit device;

(c) providing more than one layer of metalization, said more than one layers of metalization being formed on said first surface of said semiconductor substrate in contact with various of said more than one I/O contact areas and forming a network of metalization between and among said

multitude of circuit elements, such that said multitude of circuit elements are electrically connected to form a predetermined circuit, said more than one layer of metalization being insulated from each other by more than one layer of dielectric material;

(d) providing more than one bonding pad formed on an upper layer of said more than one layer of metalization at predetermined locations across a top surface of said semiconductor substrate, each of said more than one bonding pads being in electrical connection with one or said more than one I/O contact areas of said various circuit elements, such that each of said more than one bonding pad is in close proximity to the corresponding circuit element that it is electrically connected to;

(e) providing more than one test pad formed on said upper layer of said more than one layer of metalization at predetermined locations across a top surface of said semiconductor substrate, each of said more than one test pads being in electrical contact with one of said more than one bonding pads, such that when a test pin is brought into pressure contact with each of said more than one test pads, none of said plurality of circuit elements underlying said more than one test pad are damaged and a one of said more than one bonding pads are damaged;

(f) bringing a test pin into pressure contact with each of said more than one test pads; and

(g) while said test pins are in contact with each of said more than one test pads, performing a predetermined test to ascertain whether said integrated circuit device is defective.

3. Detailed Description of Invention

FIELD OF THE INVENTION

The present invention relates generally to the field of integrated circuit devices and more particularly to on-circuit testing of integrated circuit chip.

BACKGROUND OF THE INVENTION

As more and more transistors and circuitry are put onto a single integrated circuit chip, integrated circuit manufacturers have found it necessary to move I/O bonding pads into the middle of the chip, as opposed to merely utilizing the outer periphery of the chip for the I/O bonding pads. This situation has arisen because there is not enough periphery area for all of the bonding pads of high density integrated circuits. Also, routing out to bonding pads on the periphery causes delay and line resistance problems, not to mention the valuable silicon area eaten up by the routing of 500-1000 or more bonding pads out to the periphery. Lay out for chips with periphery bonding pads is generally driven, among other things, by delay critical circuit elements, such as the clock, having to be placed as close to the periphery as possible in order to minimize delay issues.

A typical integrated circuit chip today with more than a few hundred I/O will generally have bonding pads across the surface of the chip. Flip chips generally have bonding pads across the surface of the chips. Bonding pads across the surface of the chip minimize or eliminate line delay, resistance and noise issues, as bonding pads are generally above or in very close proximity to the corresponding I/O circuit element.

As integrated circuits (ICs) become more and more complicated, testing also becomes more complex. Generally, ICs may be tested at the die level, the package level and the board level. During the semiconductor m

manufacturing process, it is advantageous to detect defective integrated circuits as early as possible, in order to prevent unnecessary (and costly) manufacturing steps. Accordingly, testing at the die level, usually while the chips are still in wafer form, is very important from a manufacturing cost perspective. However, die level testing problems arise for ICs that have bonding pads across the surface of the chip, as test access is generally gained via test probes being brought into physical and electrical contact with the bonding pads.

Some of the testing problems that typically result with bonding pads across the surface of the IC chip include the test pins damaging the bonding pads so that a bump bond will not adequately form on the bonding pads or the pressure of the test pins making contact with the bonding pads may damage underlying circuitry. Many IC manufacturers have addressed these problems by performing die level testing after the bump bonds have been formed on the chip, which allows the bump bond to make contact with the test pin and absorb the pressure therefrom. The bump bonds are then reflowed in order to repair any damage from the test pins making pressure contact with the bump bonds. However, this is a relatively expensive solution as the step of bump bonding is expensive if a chip has 500-1000 or more bonding pads to be bumped. Moreover, performing bump bonding on a significant number of bad chips, each of which has 500-1000 or more bonding pads, wastes manufacturing resources. This approach also adds an additional manufacturing step of reflowing the bump bonds to repair the damage caused by the test pins.

Another solution that IC manufacturers have used to address the above problems is to provide an on chip test circuit with dedicated test pads that do not need to later have bump bonds formed thereon, or to route a few test pads to a particular area on the chip - often the periphery. This is also not a satisfactory solution, as these tests are generally

very minimal tests. To justify the expense of going from die at wafer level to packaged chips, manufacturers would ideally like to know whether a chip is fully functioning.

Accordingly, it would be desirable to solve the above problems by providing an IC chip that can be tested for defects prior to bump bonding without causing any significant damage to the bonding pads or the circuitry under the bonding pads.

SUMMARY OF THE INVENTION

It is an aspect of the present invention to provide an IC chip that has bonding pads across the surface of the chip, where the chip can be tested prior to bump bonding without the bonding pads being significantly damaged by the test pins.

It is another aspect of the present invention to provide an IC chip that has bonding pads across the surface of the chip, where the chip can be tested prior to bump bonding without the circuitry under the bonding pads being significantly damaged by the pressure of the test pins contacting the bonding pads.

The above and other aspects of the present invention are accomplished with an integrated circuit chip that has bonding pads across the surface of the chip, where any bonding pads that need to be accessed in order to fully test the chip have an auxiliary test pad electrically connected thereto.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

Figure 1 shows cross-sectional, cut-away view of a portion of an integrated circuit device according to a first embodiment of the present in

vention. Figure 1 is an integrated circuit device with three layers of metalization M1, M2, and M3. Bonding pad 14 is connected to the collector of transistor 22 through second level metalization 18 and first level metalization 20. Although it is advantageous to have bonding pad 14 in as close physical proximity to the collector of transistor 22 as possible, it is not advantageous to use bonding pad 14 for testing purposes, as the inventor(s) have found that test pins tend to damage bonding pads to such an extent that the bonding pads are unable to maintain a bond with a bump bond thereafter. Moreover, the inventor(s) have found that in integrated circuit devices with three or fewer metalization layers, the pressure resulting from performing tests above certain circuit elements (e.g., thin gate oxides and thin metalization lines) tends to cause damage to the underlying circuit (e.g., shorts). Accordingly, the inventor(s) have discovered that routing the collector connection to a test pad 16 that is not overlying any critical circuit elements solves this problem.

Specifically, test pad 16 is electrically equivalent to bonding pad 14, as both pads are electrically connected to the collector of transistor 22. However, test pad 16 is overlying an isolation region 24, which is in substantially no danger of being damaged from the downward force of a test pin coming into contact with test pad 16. Accordingly, it is possible to route bonding pads across the surface of the integrated circuit device 10 so that the routing lines have as little delay, resistance, and noise as possible between the circuit I/O elements and the corresponding bonding pad(s). And at the same time, any circuit I/O elements that need to be functionally tested can have a auxiliary test pad connected thereto and routed to a place on the surface of the integrated circuit device that is not overlying any circuit elements that can potentially be damaged from the pressure caused by the test pins coming into contact.

t with the test pad.

This has a three fold advantage of (1) saving underlying circuitry from potential damage caused by the downward forces of testing pins, (2) saving the bonding pads from being damaged by the testing pins, (3) and permitting the bonding pads to be in as close proximity to the corresponding circuit element as possible in order to minimize line delay, resistance and noise. It may also simplify metalization routing, since 500-1000 or more bonding pads do not have to be routed from their respective positions across the surface of the chip to the periphery of the chip. It should also be noted that even though test pad 16 is shown in close proximity to bonding pad 14, this is not necessary, test pad 16 could be routed to another location if the area around bonding pad 14 is crowded by other bonding or test pads, or if this underlying area is crowded with circuit elements that have a high probability of being damaged by the pressure of a test pin coming into contact with a test pad. Test pad 16 could be routed to virtually any location on the surface of the chip, even a periphery location. Since test pad 16 is for testing, and test pad 16 is not critical to circuit performance, it is not critical that test pad 16 be in as close proximity to the corresponding circuit element as it is for bonding pad 14 to be in as close proximity to the corresponding circuit element (collector of transistor 22) as possible.

It should also be noted that bonding pad 12 would be a bonding pad for another circuit element (not shown). Pad 12 would probably not be a test pad as it is overlying the base of transistor 22. If the circuit element to which bonding pad 12 corresponds is to be tested during die level testing, then an auxiliary testing pad (not shown) would be routed to an area on the surface of the integrated circuit chip such that the test pad would not be overlying any circuit element that could potentially be damaged from the pressure of the test pin on the test pad during die

level testing.

It should also be noted that although Figure 1 shows the routing out to the test pad 16 occurring at the second metalization layer 18, it could also have occurred at the first metalization layer 20. This would be a matter of routing and layout design choice.

Figure 2 shows cross-sectional, cut-away view of a portion of an integrated circuit device according to a second embodiment of the present invention. Figure 2 is an integrated circuit device with five layers of metalization M1, M2, M3, M4, and M5. Bonding pad 42 is connected to the collector of transistor 64 through fourth level metalization 50, third metalization layer 54, second metalization layer 58, and first level metalization 62. Although it is advantageous to route bonding pad 42 in as close proximity as possible to the corresponding circuit element (the collector of transistor 64), it is not advantageous to use bonding pad 42 as a testing pad, as the pressure of the test pin on the bonding pad tends to damage the bonding pad to such an extent that the bonding pad is unable to form an adequate bump bond thereafter.

Accordingly, the inventor(s) have discovered that electrically connecting an ancillary test pad 44 to the bonding pad 42 or the corresponding circuit element (the collector of transistor 64) solves the above problem. The inventor(s) have further discovered that in an integrated circuit device with five or more layers of metalization, there is no need to route the ancillary test pad 44 to an area of the chip that does not overly any critical elements, because underlying circuit elements are generally not damaged by the pressure of test pins coming into contact with the test pad 44. It is believed that this phenomenon is due to the hardness of the dielectric layers (DIEL-1, DIEL-2, DIEL-3, DIEL-4, and DIEL-5) and the relative softness of the metalization layers (M1, M2, M3, M4, and M5) act as a sandwich type shock absorber for the pressure of the

test pins coming into contact with the test pads. Accordingly, the placement of test pad 44 is governed by routing/layout design preference, rather than by trying to avoid specific underlying circuit elements.

It should be noted that bonding pad 42 and test pad 44 were labeled randomly, thus, 42 could have been selected as the test pad, which means the test pad would be directly over the collector region of transistor 64. Most likely, during routing/layout, the location that was in closer physical proximity to the corresponding circuit element would be chosen as the bonding pad. Although, there are a few routing/layout considerations that could change this choice. For example, although not shown in the Figures, a bonding pad is approximately half of the size of test pad in order to compensate for the geometries and error of the test pins making contact with the test pad. There are also routing/layout rules as to how close a bonding pad can be to certain other elements in layout in order to avoid shorts. However, regardless of whether pad 42 or pad 44 is selected as the bonding or the test pad, it should be noted that other than having all bonding pads as close as possible to their corresponding circuit elements, the position of the test pad is not dependent on the underlying circuit elements.

It should also be noted that although test pad 44 is connected to bonding pad 42 and the collector of transistor 64 by means of the fourth metalization layer being routed to accommodate it, auxiliary test pad 44 could also be connected by means of the third metalization layer, the second metalization layer or the first metalization layer being routed out to accommodate it. This would be a routing/layout design preference.

Pads 46 and 48 connected to another circuit I/O element (not shown) by means of fourth metalization layer 52, third metalization layer 56, second metalization layer 60, and first metalization layer (not shown). Whichever of pads 46 and 48 is considered to be closer to the correspond

ing circuit element (not shown) would most likely be the bonding pad and the other would probably be the test pad. However, it should be noted that both pads are overlying the base and emitter regions of transistor 64. Again, it is not important which pad 46 or 48 is the test pad, as the five dielectric layers (DIEL-1, DIEL-2, DIEL-3, DIEL 4, and DIEL-5) and the five layers of metalization (M1, M2, M3, M4, and M5) act as a sandwich type shock absorber for the pressure of a test pin coming into contact with a test pad. The dielectric layers can be any known dielectric material, such as silicon dioxide, silicon nitride, etc. The five layers of metalization can be any known metalization material, such as copper, aluminum, titanium, etc., or a sandwiched combination of any known metalization materials.

It should also be noted that although Figure 2 shows the test pads in close proximity to the corresponding bonding pads, this is not necessary. Although a particular bonding pad should generally be as close as the routing/layout rules will allow to the corresponding circuit element in order to minimize line delay, resistance, noise, etc., for testing purposes, these are generally not issues. Accordingly, a test pad will probably be routed to whatever location is expedient to the routing/layout of the overall integrated circuit device. The test pads may even be routed to the periphery of the chip.

Accordingly, two embodiments have been shown for an integrated circuit device that has ancillary test pads that permit die/wafer level testing prior to bump bonding without causing damage to either the bonding pads themselves or the underlying circuit elements. The first embodiment is for integrated circuit devices with four or fewer metalization layers. Although it could certainly be used for more than four metalization layers, it would not be feasible in such a complicated device as one that requires more than four metalization layers to route all test pads to a

"safe" area of the chip. The second embodiment is for integrated circuit devices with five or more metalization layers, where the metalization and dielectric layers act a shock absorber for the pressure of the test pins coming into contact with the test pads, and so, routing the test pads to a "safe" area of the chip is unnecessary.

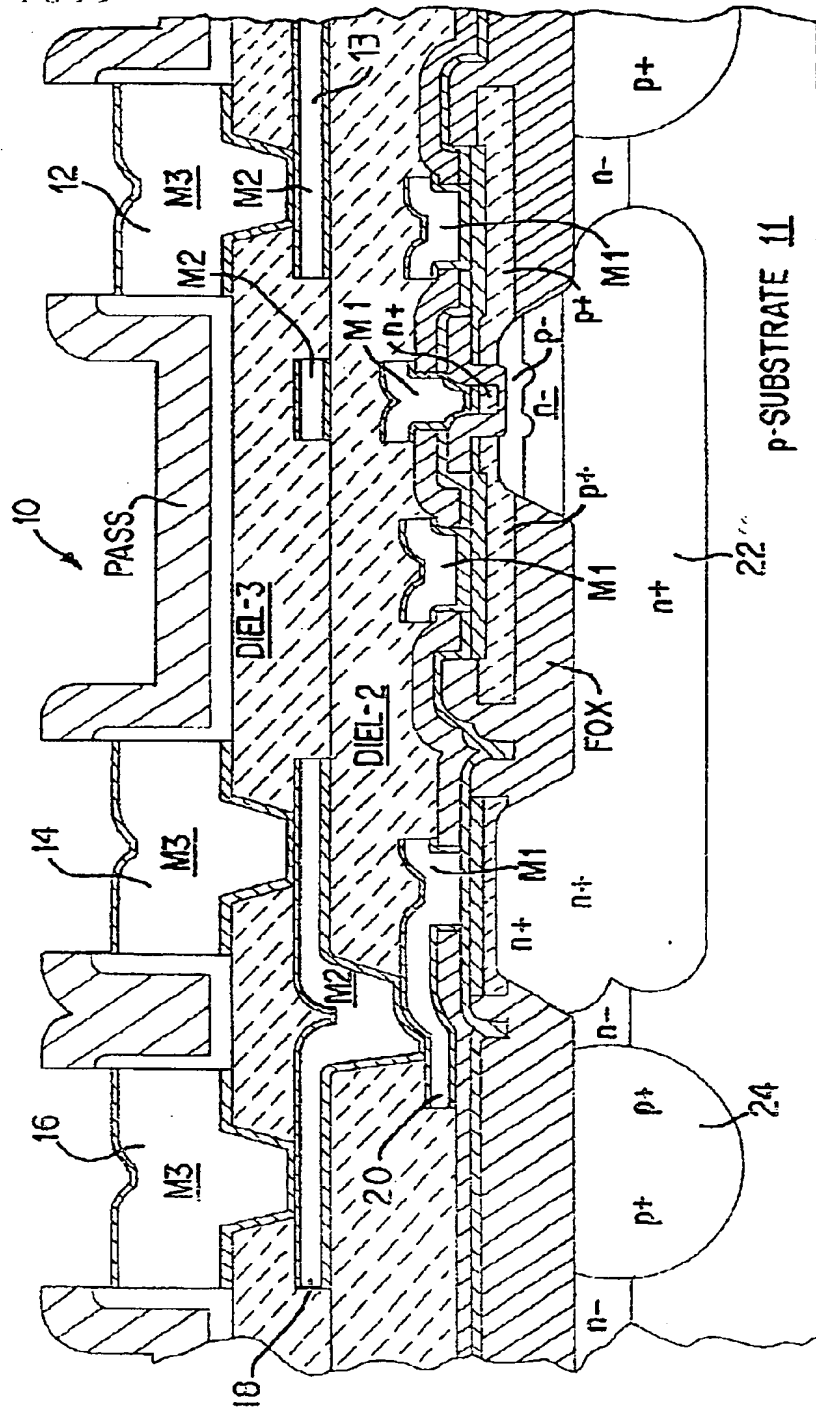
The foregoing description of the present invention has been presented for purposes of illustration and description. It is not intended to be exhaustive or to limit the invention to the precise form disclosed, and other modifications and variations may be possible in light of the above teachings. For example, as stated earlier, the test pads do not necessarily need to be in close proximity to the bonding pads and can be routed to a location on the integrated circuit chip as routing/layout design preferences find expedient. The embodiment was chosen and described in order to best explain the principles of the invention and its practical application to thereby enable others skilled in the art to best utilize the invention in various embodiments and various modifications as are suited to the particular use contemplated. It is intended that the appended claims be construed to include other alternative embodiments of the invention except insofar as limited by the prior art.

4. BRIEF DESCRIPTION OF THE DRAWINGS

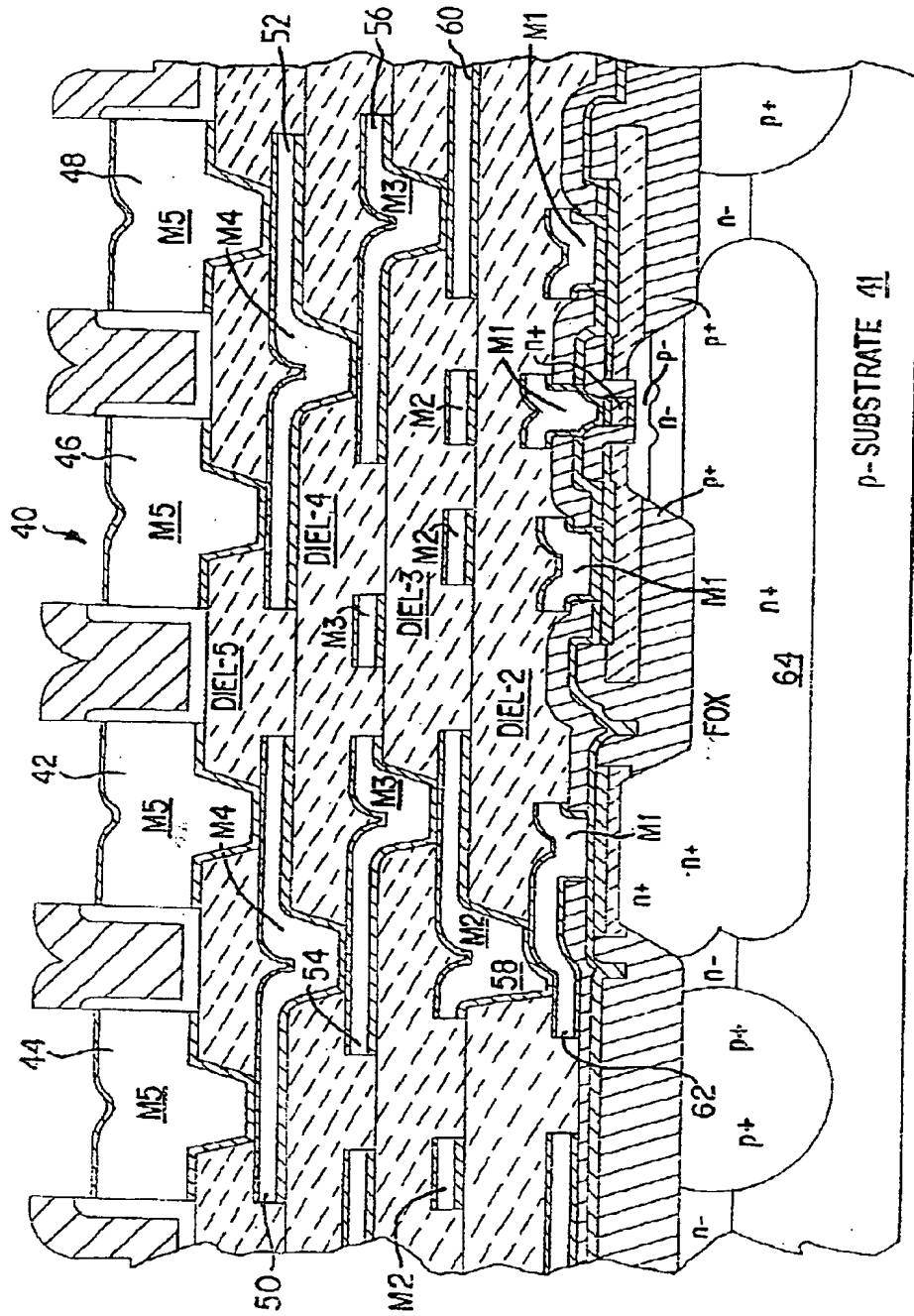
Figure 1 shows a cross-sectional, cut-away view of a portion of an integrated circuit device according to a first embodiment of the present invention; and

Figure 2 shows a cross-sectional, cut-away view of a portion of an integrated circuit device according to a second embodiment of the present invention.

[FIG1]



【FIG 2】



1. Abstract

An integrated circuit device (10, 40) is provided that has I/O bonding pads (12, 14, 42) across the surface of the chip, where the I/O bonding pads (12, 14, 42) can be electrically accessed via auxiliary testing pads (16, 44) in order to perform functionality or other necessary tests prior to bump bonding formation without damaging the bonding pads (12, 14, 42) or the underlying circuitry.

2. Representative Drawing

Figure 1